

(2) Japanese Patent Application Laid-Open No. 7-287548 (1995) "PLASMA  
DISPLAY PANEL OF AC DISCHARGE MATRIX METHOD AND METHOD  
OF DRIVING THE SAME"

J1046 U.S. PTO  
09/782292  
02/14/01

The following is English translation of an extract from the above-identified  
5 document relevant to the present application.

In a PDP 11, row electrodes  $Y_1$ - $Y_n$  and row electrodes  $X_1$ - $X_n$  are formed on  
the inside of a glass substrate 110 (a surface opposed to a glass substrate 113) so that  
they are aligned in a paired manner. These row electrodes are covered with a  
dielectric layer 111, and an Mgo (magnesium oxide) layer 112 is evaporated thereon.  
10 Column electrodes  $D_1$ - $D_m$  to which a phosphor is applied are formed on the glass  
substrate 113.

In a PDP 11', in addition, an auxiliary discharge row electrode  $Y_p$  and an  
auxiliary discharge row electrode  $X_p$  in a pair are formed on the inside of the glass  
substrate 110 as in the case between the row electrodes  $Y_1$ - $Y_n$  and the row electrodes  
15  $X_1$ - $X_n$ . The gap length between the auxiliary discharge row electrodes  $Y_p$  and  $X_p$   
is set to be narrower than between the row electrodes  $Y_1$ - $Y_n$  and the row electrodes  
 $X_1$ - $X_n$ . There may be a case where the auxiliary discharge row electrodes  $Y_p$  and  
 $X_p$  are not covered with a dielectric layer. Electrode areas of the auxiliary  
discharge row electrodes  $Y_p$  and  $X_p$  are smaller than of the row electrodes  $Y_1$ - $Y_n$   
20 and the row electrodes  $X_1$ - $X_n$ .

A light-tight mask 114 for intercepting emitted light by discharge emission of  
the auxiliary discharge row electrodes  $Y_p$  and  $X_p$  is formed on a surface of the glass  
substrate 110.

(43)公開日 平成7年(1995)10月31日

審査請求 未請求 請求項の数6 OL (全 9 頁)

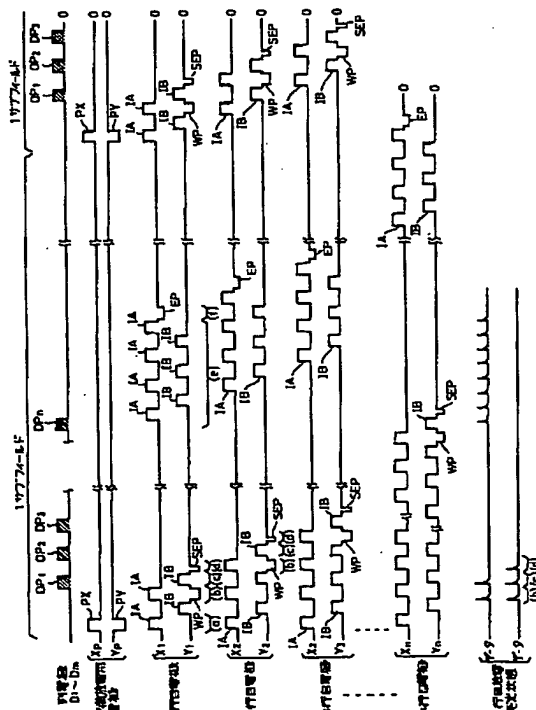
(74)代理人 弁理士 藤村 元彦

(54) 【発明の名称】 交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法

(57) 【要約】

【目的】 低消費電力駆動を実現することが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【構成】 予備放電としての強制書込み放電を行電極対の配列順にて順次実行しつつ画素データの書込みを行う。



## 【特許請求の範囲】

【請求項 1】 2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなる交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法であって、前記行電極対間に放電を励起させる強制書込みパルスを前記行電極対の配列順にて順次前記行電極対の各々に印加して予備放電をなす予備放電行程と、画素データに応じた画素データパルスを順次前記列電極に印加して画素データの書込みを行う書込み行程とを有することを特徴とする交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記プラズマディスプレイパネルは、前記行電極対各々の内の第 1 配列の行電極対の外側近傍に予備放電用行電極対が形成されており、前記予備放電行程にて前記第 1 配列の行電極対に前記強制書込みパルスが印加される前に前記予備放電用行電極対の放電を行う行程を有することを特徴とする請求項 1 記載の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記プラズマディスプレイパネルの前記行電極対各々の内の第 1 配列の行電極対の外側近傍には予備放電用行電極対が形成されていることを特徴とする交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 4】 前記プラズマディスプレイパネルの表面上には前記予備放電用行電極対の放電発光による発射光を遮光する遮光手段が形成されていることを特徴とする請求項 3 記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 5】 前記予備放電用行電極対は、前記電極対に比してギャップ長が狭いもしくは電極面積が小であることを特徴とする請求項 3 記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 6】 前記予備放電用行電極対には誘電体層が被覆されていないことを特徴とする請求項 3 記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法に関する。

## 【0002】

【従来の技術】 プラズマディスプレイパネルは、周知の如く、薄形の 2 次元画面表示器の 1 つとして近時種々の研究がなされており、その 1 つにメモリ機能を有する交流放電型マトリックス方式のプラズマディスプレイパネルが知られている。図 1 により、かかるプラズマディスプレイパネルを含む駆動装置の概略について説明する。

【0003】 かかる駆動装置は、入力信号としてのいわゆる複合ビデオ信号を処理する信号処理部 1 及びかかる信号処理部 1 からの駆動信号を受けて 2 次元画面の表示をなす表示部 2 からなっている。かかる信号処理部 1 において、A/D 変換器 3 は、タイミングパルス発生回路 6 から供給されたタイミングパルスに同期して入力複合ビデオ信号をデジタル画素データに変換しこれをフレームメモリ 8 に供給する。同期分離回路 5 は、かかる入力複合ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路 6 に供給する。タイミングパルス発生回路 6 は、これら水平及び垂直同期信号に基づいた種々のタイミングパルスを発生する。メモリ制御回路 7 は、タイミングパルス発生回路 6 から供給されたタイミングパルスに同期した書込信号及び読出信号をフレームメモリ 8 に供給する。フレームメモリ 8 は、かかる書込信号に応じて、A/D 変換器 3 から供給された画素データを順次取り込む。又、フレームメモリ 8 は、かかる読出信号に応じて、このフレームメモリ 8 内に記憶されている画素データを順次読み出して次段の出力処理回路 9 へ供給する。

【0004】 出力処理回路 9 は、供給された画素データ 1 フィールド毎に、その輝度階調に対応した第 1 ～第 8 モード画素データを生成し、これらをタイミングパルス発生回路 6 からのタイミングパルスに同期して画素データパルス発生回路 12 に供給する。行電極駆動パルス発生回路 10 は、タイミングパルス発生回路 6 からのタイミングパルスにตอบสนองして、放電発光を開始させるための走査パルス、放電状態を維持するための維持パルス、及び放電発光を停止させるための消去パルスを夫々発生して PDP (プラズマディスプレイパネル) 11 の行電極  $Y_1, Y_2, Y_3, \dots, Y_{n-1}, Y_n$  及び  $X_1, X_2, X_3, \dots, X_{n-1}, X_n$  に供給する。更に、行電極駆動パルス発生回路 10 は、画素データに拘らずに強制的に放電発光を開始させる強制書込みパルスを発生して PDP 11 の行電極  $Y_1 \sim Y_n$  夫々に印加する。

【0005】 画素データパルス発生回路 12 は、出力処理回路 9 から供給された 1 フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割した各行毎の画素データパルスを時分割にて列電極  $D_1, D_2, D_3, \dots, D_{m-1}, D_m$  へ印加する。図 2 は、かかる PDP 11 の構造を示す図である。

【0006】 図において、表示面である前面ガラス基板 110 の内面 (背面ガラス基板 113 と対抗する面) には、互いに対となるように行電極  $Y_1 \sim Y_n$  及び行電極  $X_1 \sim X_n$  夫々が形成されている。これら行電極は、誘電体層 111 にて被覆されている。かかる誘電体層 111 には、MgO (酸化マグネシウム) 層 112 が蒸着されている。背面ガラス基板 113 には、蛍光体が塗布された列電極  $D_1 \sim D_m$  が形成されている。

【0007】図3は、かかる駆動装置にて実施される256階調駆動シーケンスを示す図である。かかる256階調駆動においては、1フレームを、その輝度の相対比が夫々1:2:4:8:16:32:64:128である8つのサブフィールドSF1~8にて形成する。従って、これらサブフィールドSF1~8を1フレーム期間内に実行させるためには、高速駆動動作が必須となり消費電力が増加するという問題があった。

【0008】そこで、低消費電力にて高速駆動動作を行うことが出来るPDPの駆動装置が提案されている。図4は、かかる駆動装置による駆動動作タイミングを示す図である。かかる駆動装置においては、1つのサブフィールド内にて初期リセットサイクルRC、書込みサイクルWC及び放電維持サイクルICを実行する。

【0009】先ず、初期リセットサイクルRCにおいては、消去パルスEPを行電極 $X_1 \sim X_n$ 夫々に同時に印加して全ての画素セルを消去状態にする。かかる動作後に、強制書込みパルスWPを行電極 $Y_1 \sim Y_n$ 夫々に同時に印加して全ての画素セルを放電させる。かかる放電動作により、各行電極には壁電荷が蓄積される。かかる放電動作の実行後に再び消去パルスEPを行電極 $X_1 \sim X_n$ 夫々に同時に印加する。かかる消去パルスEPの印加により各行電極に蓄積されていた壁電荷の値は放電維持発光を行えない程度までに落ちる。

【0010】かかる初期リセットサイクルRCにより、各画素セル内には放電維持発光を行えない程度の壁電荷が形成される。すなわち、上述の初期リセットサイクルRCにて予備放電がなされるのである。次に、書込みサイクルWCにおいては、画素データパルス $DP_1 \sim DP_n$ を順次列電極 $D_1 \sim D_m$ に印加しつつ走査パルスSPを行電極 $Y_1 \sim Y_n$ に順次印加することにより1フィールド分の画素データに応じた書込み放電を行う。

【0011】次に、放電維持サイクルICにおいては、維持パルスIAを所定期間毎に行電極 $X_1 \sim X_n$ 夫々に同時に印加すると共に、かかる維持パルスIAが行電極 $X_1 \sim X_n$ に印加されていない期間中に維持パルスIBを行電極 $Y_1 \sim Y_n$ の夫々に同時に印加する。かかる維持パルスの印加により、上述の書込みサイクルWCにて書込み放電した画素の放電発光状態を維持する。

【0012】以上の如く、かかる駆動装置においては、画素データに応じた書込み放電を実行する前に、予備放電を行うことにより予め各画素セル内に壁電荷を形成しておく構成としている。よって、画素データの書込み放電の際には、既に各画素セル内に壁電荷が形成されているので、書込みトリガとしての走査パルスのパルス電圧値が比較的低電圧値であっても放電が生じることになる。つまり、走査パルスのパルス電圧値を低く設定することによる低消費電力化がなされるのである。

【0013】ここで、かかる駆動装置においては、その予備放電を実行するにあたり、一旦、強制書込みパルス

WPを全てのX行電極に同時に印加して、全ての画素セルを同時に放電状態にするようにしている。しかしながら、上述の如く、全ての画素セルを同時に放電状態にするためには、かかる強制書込みパルスWPのパルス電圧値を大とする必要があり、この予備放電自体が低消費電力化の妨げになるという問題があった。

【0014】

【発明が解決しようとする課題】本発明はかかる問題を解決するためになされたものであり、低消費電力駆動を実現することが出来る交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法を提供することを目的となされたものである。

【0015】

【課題を解決するための手段】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法は、2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなる交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法であって、前記行電極対間に放電を励起させる強制書込みパルスを前記行電極対の配列順にて順次前記行電極対の各々に印加して予備放電をなす予備放電行程と、画素データに応じた画素データパルスを順次前記列電極に印加して画素データの書込みを行う書込み行程とを有する。

【0016】又、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルは、前記プラズマディスプレイパネルの行電極対各々の内の第1配列の行電極対の外側近傍に予備放電用行電極対が形成されている。

【0017】

【作用】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法においては、予備放電としての強制書込み放電を行電極対の配列順にて順次実行しつつ画素データの書込みを行う。

【0018】

【実施例】図5は、本発明による駆動方法に従って駆動を行う交流放電型マトリックス方式のプラズマディスプレイパネル駆動装置の構成を示す図である。かかる駆動装置は、入力信号としてのいわゆる複合ビデオ信号を処理する信号処理部1及び信号処理部1からの駆動信号を受けて2次元画面の表示をなす表示部2からなっている。

【0019】図5の信号処理部1において、A/D変換器3は、入力複合ビデオ信号をタイミングパルス発生回路6から供給されたタイミングパルスに同期してデジタル画素データに変換しこれをフレームメモリ8に供給する。同期分離回路5は、かかる入力複合ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路6に供給する。タイミングパルス発生回路6は、これら水平及び垂直同期信号に基づいた種々

のタイミングパルスが発生する。メモリ制御回路7は、タイミングパルス発生回路6から供給されたタイミングパルスに同期した書込信号及び読出信号をフレームメモリ8に供給する。フレームメモリ8は、かかる書込信号に応じて、A/D変換器3から供給された画素データを順次取り込む。又、フレームメモリ8は、かかる読出信号に応じて、このフレームメモリ8内に記憶されている画素データを順次読み出して次段の出力処理回路9へ供給する。

【0020】出力処理回路9は、供給された画素データ1フィールド毎に、その輝度階調に対応した第1〜第8モード画素データを生成し、これらをタイミングパルス発生回路6からのタイミングパルスに同期して画素データパルス発生回路12に供給する。行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスにตอบสนองして、放電状態を維持するための維持パルスIA及びIB、放電発光を停止させるための消去パルスEPを夫々発生し、これらをPDP11'の行電極Y<sub>1</sub>〜Y<sub>n</sub>及びX<sub>1</sub>〜X<sub>n</sub>に夫々印加する。又、行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスにตอบสนองして、PDP11'の誘電体層111内を予備放電させるための予備放電パルスPY及び予備放電パルスPXを夫々発生し、これらをPDP11'の予備放電用行電極Y<sub>p</sub>及び予備放電用行電極X<sub>p</sub>に夫々印加する。又、行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスにตอบสนองして、強制的に放電発光を励起させる強制書込みパルスWPを発生し、これをPDP11'の行電極Y<sub>1</sub>〜Y<sub>n</sub>もしくは行電極X<sub>1</sub>〜X<sub>n</sub>夫々に印加する。更に、行電極駆動パルス発生回路10'は、行電極に蓄積されている壁電荷の電荷値が所定値以上である場合にこの壁電荷を選択的に消去する選択消去パルスSEPを発生してこれをPDP11'の行電極Y<sub>1</sub>〜Y<sub>n</sub>もしくは行電極X<sub>1</sub>〜X<sub>n</sub>に印加する。

【0021】画素データパルス発生回路12は、出力処理回路9から供給された1フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割された各行毎の画素データパルスを時分割にて列電極D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、…、D<sub>m-1</sub>、D<sub>m</sub>へ印加する。図6は、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルとしてのPDP11'の構造を示す図である。

【0022】図6において、表示面である前面ガラス基板110の内面（背面ガラス基板113と対抗する面）には、互いに対となるように行電極Y<sub>1</sub>〜Y<sub>n</sub>及び行電極X<sub>1</sub>〜X<sub>n</sub>が形成されている。更に、かかる前面ガラス基板110の内面には、一対の予備放電用行電極Y<sub>p</sub>及び予備放電用行電極X<sub>p</sub>が、上述の行電極対Y<sub>1</sub>〜Y<sub>n</sub>及び

X<sub>1</sub>〜X<sub>n</sub>と同様な形態にて形成されている。尚、かかる予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>は、上記の行電極Y<sub>1</sub>〜Y<sub>n</sub>及び行電極X<sub>1</sub>〜X<sub>n</sub>に比してギャップ長を狭くしており、かかる構成により低電圧にて放電可能なものとなっている。又、予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>を誘電体層にて被覆しない構成としても低電圧にて放電可能なものとなる。又、かかる予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>は、上記の行電極Y<sub>1</sub>〜Y<sub>n</sub>及び行電極X<sub>1</sub>〜X<sub>n</sub>に比して電極面積を小さくしており、かかる構成により低電流にて放電可能なものとなっている。

【0023】これら行電極の各々は、誘電体層111にて被覆されている。かかる誘電体層111には、MgO（酸化マグネシウム）層112が蒸着されている。背面ガラス基板113には、蛍光体が塗布された列電極D<sub>1</sub>〜D<sub>m</sub>が形成されている。ここで、上記前面ガラス基板110の表示面上から見て一対の行電極及び列電極が交差する領域が1画素セルとなる。かかる前面ガラス基板110の表面には、予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>の放電発光による発射光を遮断すべく遮光マスク114が形成されている。尚、画素データパルス発生回路12から供給された画素データパルスは、上述の予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>が形成されている側、すなわち図6の矢印にて示される方向から列電極D<sub>1</sub>〜D<sub>m</sub>へ印加される。

【0024】図7は、かかる装置にて実行される本発明の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法を示す駆動動作タイミング図である。以下に、1行目電極にかかわる画素セルを中心にしてその駆動動作を説明する。先ず、図7における行程(a)において、行電極駆動パルス発生回路10'は、正極性の予備放電パルスPXをPDP11'の予備放電用行電極X<sub>p</sub>に印加すると同時に、負極性の予備放電パルスPYをPDP11'の予備放電用行電極Y<sub>p</sub>に印加する。この際、かかる予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>に印加された正極性の予備放電パルスPX及び負極性の予備放電パルスPYの電位差が放電開始電圧を越えるので、かかる予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>間に放電が生じる。かかる放電に応じて、予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>近傍に空間電荷が発生する。尚、かかる放電により発生する発射光は図5に示される遮光マスク114により遮断されるので、この発射光が前面ガラス基板110を通過して照射されることはない。つまり、PDP11'における実際の画像表示領域は図4の破線にて囲まれた領域となる。

【0025】次に、行程(b)において、行電極駆動パルス発生回路10'は、正極性の維持パルスIAを行電極X<sub>1</sub>に印加すると同時に負極性の強制書込みパルスWPを行電極Y<sub>1</sub>に印加する。この際、かかる行電極X<sub>1</sub>及び行電極Y<sub>1</sub>夫々に印加された正極性の維持パルスIA及び負極性の強制書込みパルスWPの電位差が放電開始電圧を越えるので行電極X<sub>1</sub>及び行電極Y<sub>1</sub>の電極間に放電が生じる。すなわち、かかる行程(b)にて、PDP

11'の1行目の画素セル全てが、画素データに拘らずに放電発光するのである。かかる放電発光により、行電極 $X_1$ 及び行電極 $Y_1$ の電極近傍には所定電荷値以上の壁電荷が形成される。つまり、かかる行程(b)において予備放電がなされるのである。尚、かかる行程(b)における1行目の強制書込みにおいては、上記行程(a)にて実行された予備放電により、行電極 $X_1$ 及び行電極 $Y_1$ に隣接して形成されている予備放電用行電極 $X_p$ 及び $Y_p$ には空間電荷が残留している。よって、この際、行電極 $Y_1$ に印加する強制書込みパルスWPのパルス電圧値が低電圧値であっても行電極 $X_1$ 及び行電極 $Y_1$ 間に放電発光が生じるのである。かかる行程(b)の実行後に行程(c)が実行される。

【0026】かかる行程(c)において、画素データパルス発生回路12は、1行目の画素データに対応したmビット分の画素データパルス $DP_1$ を、PDP11'の列電極 $D_1 \sim D_m$ の対応する電極夫々に印加する。これと共に行電極駆動パルス発生回路10'は、正極性の維持パルスIBを行電極 $Y_1$ に印加する。尚、図においては、かかる正極性の維持パルスIBと画素データパルス $DP_1$ とを同時に印加しているが、必ずしも同時に印加する必要はない。つまり、互いにずれたタイミングにて印加されていても、維持パルスIBの立ち上がりもしくは立ち下がり時点で画素データパルス $DP_1$ が印加されていれば良いのである。

【0027】かかる画素データパルス $DP_1$ 及び維持パルスIBの印加に応じて、行程(b)と同様に1行目の画素セル全てが放電発光を行う。この際、かかる列電極各々には1行目の画素データに基づいた電圧値を有する画素データパルスが夫々印加される。例えば、画素データが論理「0」の場合、列電極には0[V]のパルスが印加される一方、画素データが論理「1」の場合、列電極には正極性の電圧VD[V]のパルスが印加される。すなわち、1行目の各画素セルには、供給される画素データに応じた0[V]もしくは正極性のVD[V]のパルスが印加されるのである。ここで、かかる正極性の電圧VD[V]のパルスが印加された画素セルでは、上述の行程(b)にて蓄積された壁電荷の電荷値が上述の所定電荷値より小さな電荷値になる。一方、0[V]のパルスが印加された画素セルでは、上述の行程(b)にて蓄積された壁電荷の電荷値がそのまま残留する。

【0028】尚、図7においては、行程(b)の直後にかかる行程(c)を実行するようにしているが、行程(c)は、必ずしもかかる行程(b)の直後に実行する必要はない。例えば、強制書込みパルスWPの印加後の2番目もしくは3番目の維持パルスIBに合わせて画素データパルス $DP_1$ を印加して行程(c)を実行するようにしても良いのである。つまり、画素データパルス $DP_1$ は行程(b)の直後に印加された第1番目の維持パルスIBに合わせて印加する必要はないのである。

【0029】かかる行程(c)の直後に直ちに行程(d)が実行される。かかる行程(d)において、行電極駆動パルス発生回路10'は、負極性の選択消去パルスSEPをPDP11'の行電極 $Y_1$ に印加する。この際、1行目画素セルの内、壁電荷の電荷値が上述の所定電荷値以上となっている画素セルのみに放電発光が生じる。すなわち、上記選択消去パルスSEPは、壁電荷の電荷値が上述の所定電荷値以上である場合に放電発光を起こすことが出来るような電圧値のパルスである。更に、かかる選択消去パルスSEPは、放電発光後に壁電荷を形成することができない程度の短いパルス幅である。よって、かかる選択消去パルスSEPの印加に応じて放電発光が生じた画素セルにおいては、その放電発光後に壁電荷が消滅する。一方、壁電荷の電荷値が上述の所定電荷値より小となっている画素セルにおいては、その壁電荷の電荷値が上述の所定電荷値より低いので、例えば選択消去パルスSEPが印加されても放電発光は生じない。よって、この際、かかる画素セル内には壁電荷が残留することになる。つまり、画素データ論理「0」に対応した画素データパルスが印加された画素セルには壁電荷が存在せず、画素データ論理「1」に対応した画素データパルスが印加された画素セルには壁電荷が残留するのである。

【0030】かかる行程(b)～(d)の一連の動作により、画素データに対応した情報が残留壁電荷として1行目の各画素セルに書き込まれるのである。この行程

(b)～(d)の如き一連の書込み動作を2行目以降の各行電極においても図7の如く順次実行していく。ここで、上述の行程(b)における強制書込み放電は、1行～n行の順に順次実行されていく。よって、強制書込みパルスWPを印加しようとする「行」の前の「行」では既に強制書込み放電が終了しており、この強制書込み放電にて生成された空間電荷がこの隣接する「行」に残留していることになる。従って、この隣接「行」に残留している空間電荷を利用することにより、強制書込みパルスWPのパルス電圧値を比較的低く設定しても行電極X及びY間に放電発光を生じさせることが出来るのである。よって、低電圧値の強制書込みパルスWPにて安定した強制書込み動作を行うことが可能となる。

【0031】上述の行程(b)～(d)の如き動作を各行毎に順次実行してn行目まで書込みが終了した時点にて、再び1行目から順に行程(e)の放電維持動作を開始する。かかる行程(e)において、行電極駆動パルス発生回路10'は、正極性の維持パルスIA及びIBを交互に行電極 $X_1$ 及び $Y_1$ に印加する。かかる維持パルスの印加により、1行目の各画素セルの内上述の残留壁電荷が存在する画素セルのみが放電発光を開始する。この際、かかる維持パルスIA及びIBが交互に印加される度にかかる放電発光を繰り返し実行する。

【0032】次に、行程(f)において、行電極駆動パ

ルス発生回路 10' は、負極性の消去パルス EP を PDP 11' の行電極  $X_1$  に印加する。ここで、かかる消去パルス EP は、各画素セルに残留している壁電荷を全て消滅し得るパルス幅及び電圧値を有するものである。よって、かかる消去パルス EP の印加により、1 行目の各画素セル内に残留していた壁電荷は全て消滅して放電発光が停止する。

【0033】この行程 (e)、(f) の如き動作を 2 行目以降の各行電極においても図 7 の如く順次実行する。かかる行程 (a) ~ (f) の一連の動作にて 1 サブフィールド分の書き込み放電がなされるのである。尚、上記実施例においては、行程 (a) の如き予備放電動作を 1 サブフィールド中に 1 回実行するようにしているが、1 サブフィールド中に数回実行するようにしても構わない。

【0034】

【発明の効果】以上の如く、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法においては、予備放電としての強制書き込み放電を行電極対の配列順にて順次実行しつつ画素データの書き込みを行うようにしている。この際、強制書き込み放電が終了した行電極近傍には空間電荷が残留しているので、この行の隣接行の強制書き込み放電の際には、かかる空間電荷を利用して放電を起こすことが出来るのである。

【0035】すなわち、本発明の駆動方法によれば、隣接行の空間電荷を利用して強制書き込み放電を行うことが

出来るので、かかる強制書き込み放電のトリガとなる強制書き込みパルスのパルス電圧値を低く設定することが可能となり低消費電力化を実現出来るのである。

【図面の簡単な説明】

【図 1】従来の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図 2】PDP 11 の構造を示す図である。

【図 3】256 階調駆動シーケンスを示す図である。

【図 4】従来の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置による駆動動作を示す図である。

【図 5】本発明の駆動方法に従って駆動動作を行う交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図 6】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルとしての PDP 11' の構造を示す図である。

【図 7】本発明の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法を示す駆動動作タイミング図である。

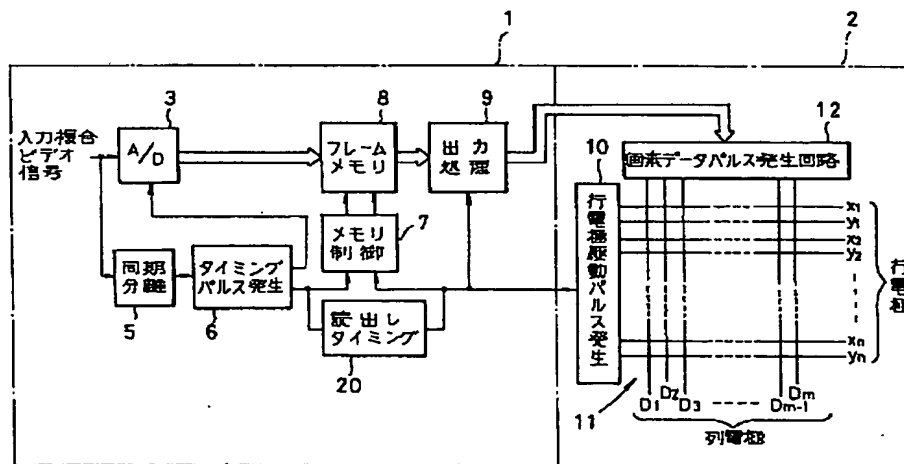
【主要部分の符号の説明】

$X_P$ 、 $Y_P$  予備放電用行電極

10' 行電極駆動パルス発生回路

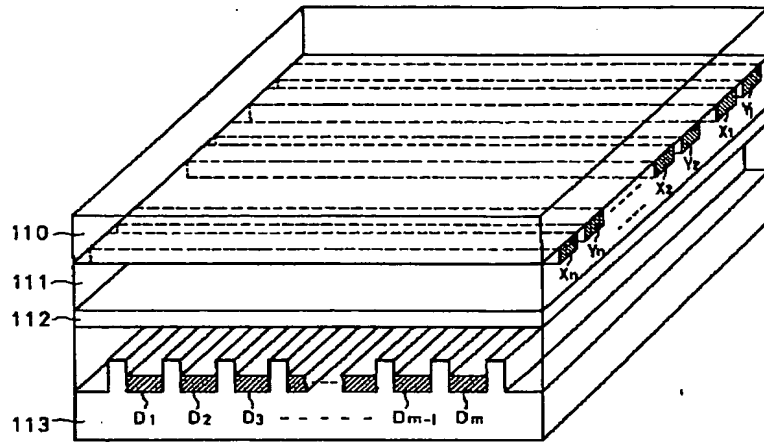
11' プラズマディスプレイパネル

【図 1】

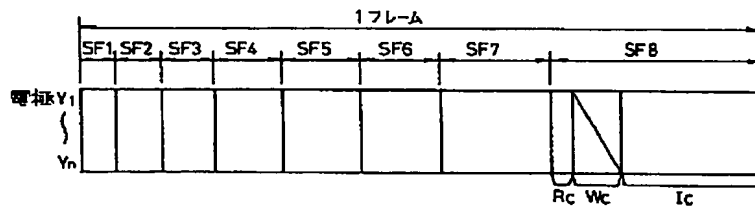


【図 2】

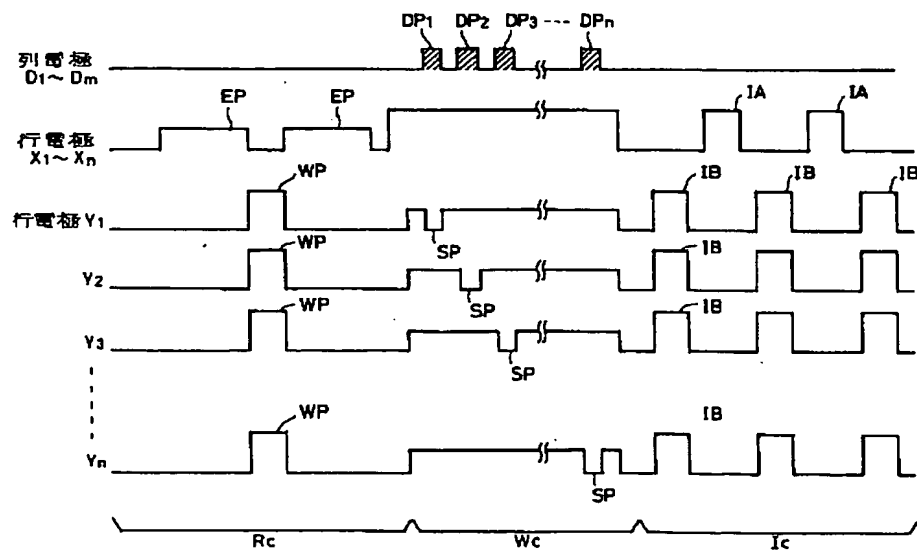
11



【図 3】

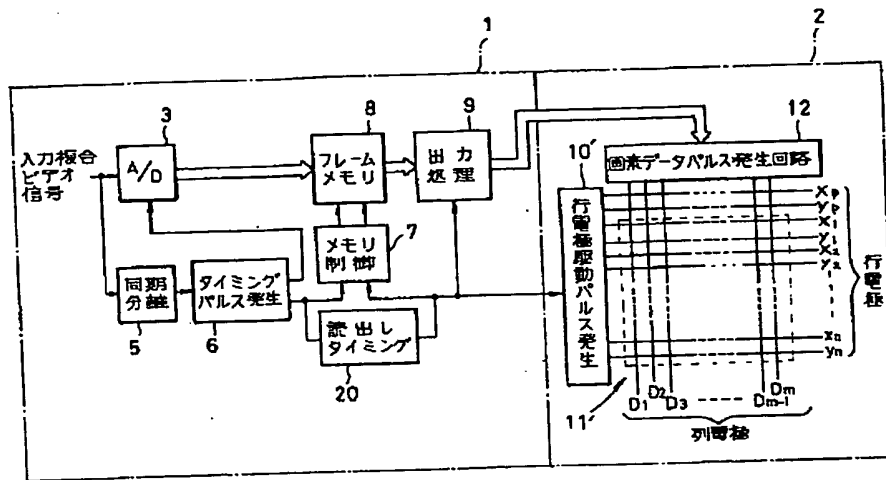


【図 4】

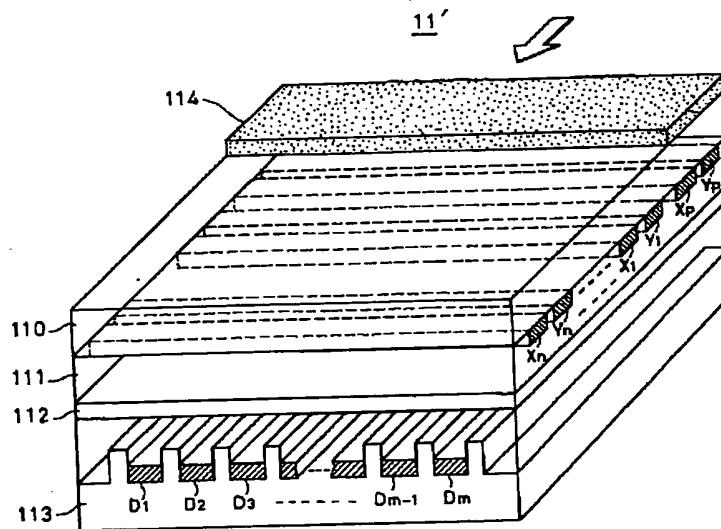




【図5】



【図6】



【図7】

